



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0053118
Application Number

출원년월일 : 2002년 09월 04일
Date of Application SEP 04, 2002

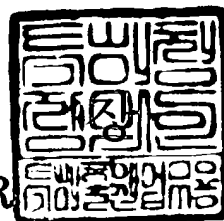
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.09.04
【발명의 명칭】	더미 패턴을 갖는 비휘발성 기억소자
【발명의 영문명칭】	Non-volatile memory device having dummy pattern
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김용희
【성명의 영문표기】	KIM, YONG HEE
【주민등록번호】	690823-1162722
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1048-2 청명마을 주공아파트 411동 902 호
【국적】	KR
【발명자】	
【성명의 국문표기】	권철순
【성명의 영문표기】	KWON, CHUL SOON
【주민등록번호】	620109-1345426
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 101동 701호
【국적】	KR

【발명자】**【성명의 국문표기】** 김진우**【성명의 영문표기】** KIM, JIN WOO**【주민등록번호】** 650131-1637110**【우편번호】** 442-470**【주소】** 경기도 수원시 팔달구 영통동 1047-1 건영아파트 424동 501호**【국적】** KR**【심사청구】** 청구**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)**【수수료】****【기본출원료】** 20 면 29,000 원**【가산출원료】** 6 면 6,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 13 항 525,000 원**【합계】** 560,000 원**【첨부서류】** 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

비휘발성 기억소자를 제공한다. 이 비휘발성 기억소자는 셀 영역 및 주변회로 영역을 갖는 반도체기판을 구비한다. 셀 영역 내에 복수개의 활성영역들이 나란히 배치되고, 활성영역들 상부를 복수개의 셀 라인 패턴들이 나란히 가로지른다. 셀 라인 패턴 및 활성영역 사이에 한 쌍의 터널절연막들 및 플로팅 게이트 전극들이 개재되고, 셀 라인 양 측벽에 한 쌍의 제어 게이트 라인들이 배치된다. 셀 영역 및 주변회로 영역 사이에 더미 영역이 개재되고, 더미 영역에 셀 라인 패턴들과 평행한 부분을 갖는 적어도 하나의 더미 라인 패턴이 배치된다. 이때, 각 셀 라인 패턴들은 곡면 측벽 및 평면 측벽을 갖고, 곡면 측벽들이 마주보도록 배치되고, 서로 이격된 한 쌍의 스페이서 라인들 및 한 쌍의 스페이서 라인들 사이에 개재되고, 한 쌍의 스페이서 라인들 사이의 활성영역과 전기적으로 접속하는 소오스 라인으로 구성된다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

더미 패턴을 갖는 비휘발성 기억소자{Non-volatile memory device having dummy pattern}

【도면의 간단한 설명】

도 1 내지 도 4는 종래의 스플릿 게이트 구조의 플래쉬 기억소자를 형성하는 방법을 설명하기 위한 단면도들이다.

도 5는 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자를 설명하기 위한 평면도이다.

도 6은 도 5의 F부분을 나타내는 평면도이다.

도 7은 도 6의 I-I' 따라 취해진 비휘발성 기억소자를 설명하기 위한 단면도이다.

도 8은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자에 적용된 화학적기계적 연마공정을 설명하기 위한 공정단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 비휘발성 기억소자에 관한 것으로, 특히 더미 패턴을 갖는 비휘발성 기억소자에 관한 것이다.

<7> 반도체 기억소자들은 휘발성 기억소자와 비휘발성 기억소자로 구분할 수 있다. 상기 휘발성 기억소자란 전원 공급이 중단되면, 기억 셀에 저장된 데이터를 모두 상실하는

기억소자로 예컨대, 디램소자 및 에스램소자가 여기에 속한다. 이와는 달리, 상기 비휘발성 기억소자는 전원 공급이 중단될지라도, 기억 셀에 저장된 데이터를 그대로 유지하는 기억소자로 예컨대, 마스크 롬(Mask Read Only Memory; Mask ROM), 이피롬(Erasable and Programmable ROM; EPROM) 및 이이피롬(Electrically Erasable and Programmable ROM; EEPROM) 등이 여기에 속한다.

<8> 상술한 이이피롬은 적층 게이트 구조의 플래쉬 기억소자 및 스플릿 게이트 구조의 플래쉬 기억소자로 구분할 수 있다. 적층 게이트 구조는 전하를 저장하는 플로팅 게이트 및 동작을 제어하는 제어 게이트가 차례로 적층된 구조를 말한다. 이와는 달리, 스플릿 게이트 구조는 플로팅 게이트의 일측에 상기 제어 게이트가 인접하여 배치된다.

<9> 도 1 내지 도 4는 종래의 스플릿 게이트 구조의 플래쉬 기억소자를 형성하는 방법을 설명하기 위한 단면도들이다. 도면에 있어서, 참조부호 "a" 및 "b"는 각각 셀 영역 및 주변회로 영역을 나타낸다.

<10> 도 1을 참조하면, 반도체기판(1) 전면상에 터널절연막(2), 플로팅 게이트 도전막(3) 및 몰드막(4)을 차례로 형성한다. 상기 터널절연막(2)은 열산화막으로 형성하고, 상기 플로팅 게이트 도전막(3)은 도핑된 폴리실리콘막으로 형성하며, 상기 몰드막(4)은 실리콘질화막으로 형성한다. 상기 몰드막(4)을 패터닝하여 셀 영역(a)에 위치하는 상기 플로팅 게이트 도전막(3)의 소정영역을 노출시키는 홈(5)을 형성한다. 상기 홈(5)에 노출된 상기 플로팅 게이트 도전막(3)을 소정의 두께로 리세스

한다. 상기 홈(5)의 양 내부측벽에 예비 스페이서(6)를 형성한다. 상기 예비 스페이서(6)는 실리콘산화막으로 형성한다. 상기 예비 스페이서(6) 및 상기 몰드막(4)을 식각마스크로 사용하여 상기 플로팅 게이트 도전막(3) 및 상기 터널절연막(2)을 차례로 식각하여 상기 반도체기판(1)의 소정영역을 노출시킨다. 상기 노출된 반도체기판(1)에 이온주입을 실시하여 소오스영역(7)을 형성한다. 상기 소오스영역(7)을 갖는 반도체기판(1) 전면에는 라이너산화막(미도시함)을 형성하고, 상기 라이너산화막을 상기 하드마스크막(4)이 노출될때까지 에치백(etch back)하여 상기 예비 스페이서(6) 상에 라이너 스페이서(8)를 형성한다. 상기 예비 스페이서(6) 및 상기 라이너 스페이서(8)는 스페이서(9)를 구성한다. 상기 스페이서(9)를 갖는 반도체기판(1) 전면에는 상기 홈(5)을 채우는 소오스 도전막(10)을 형성한다. 상기 소오스 도전막(10)은 도핑된 폴리실리콘막으로 형성한다.

<11> 도 2를 참조하면, 상기 소오스 도전막(10)을 상기 몰드막(4)이 노출될때까지 평탄화하여 상기 홈(5) 내에 소오스 라인(10a)을 형성한다. 상기 노출된 몰드막(4) 및 상기 몰드막(4) 하부의 상기 플로팅 게이트 도전막(3) 및 상기 터널절연막(2)을 연속적으로 식각하여 상기 반도체기판(1)을 노출시킨다. 이로 인하여, 상기 스페이서(9) 내에 플로팅 게이트 전극(3a)이 형성된다. 이때, 주변회로 영역(b) 내에서는 상기 반도체기판(1)이 노출된다.

<12> 상기 플로팅 게이트 전극(3a)을 갖는 반도체기판(1) 전면 상에 제어 게이트 절연막(21), 제어 게이트 도전막(22) 및 산화방지막(23)을 차례로 형성한다. 상기 제어 게이트 절연막(21)은 실리콘산화막으로 형성하고, 상기 제어 게이트 도전막(22)은 도핑된 폴리실리콘막으로 형성하며, 상기 산화방지막(23)은 실리콘질화막으로 형성한다.

- <13> 도 3 및 도 4를 참조하면, 상기 산화방지막(23), 상기 제어 게이트 도전막(22) 및 상기 제어 게이트 절연막(21)을 화학적기계적 연마공정을 진행하여 상기 소오스 라인(10a)의 상부면이 노출될때까지 평탄화한다. 이로 인하여, 상기 셀 영역(a) 내의 단차가 낮은 부위에 평탄화된 산화방지막 패턴(23a)이 형성되고, 상기 스페이서(9) 및 상기 소오스 라인(10a) 상의 상기 제어 게이트 도전막(22)이 식각된다. 결과적으로, 상기 스페이서(9) 및 상기 산화방지막 패턴(23a) 사이의 상기 제어 게이트 도전막(22)의 일부분이 노출된다.
- <14> 이때, 상기 주변회로 영역(b)에는 상기 셀 영역(a)의 산화방지막 패턴(23a)과 같은 단차를 갖는 산화방지막 패턴(23a)이 형성된다.
- <15> 상기 셀영역(a) 내의 노출된 상기 제어 게이트 도전막(22) 상부면 및 상기 소오스 라인(10a)의 상부면에 하드마스크막(25)을 형성한다. 상기 하드마스크막(25)은 열산화막으로 형성한다.
- <16> 상기 하드마스크막(25)을 마스크로 사용하여 상기 산화방지막 패턴(23a)을 식각하여 상기 산화방지막 패턴(23a) 하부의 상기 제어게이트 도전막(22)을 노출시킨다. 상기 셀 영역(a) 내의 상기 하드마스크막(25)을 마스크로 사용하여 상기 제어 게이트 도전막(22)을 이방성 식각하여, 상기 셀 영역(a) 내에 제어 게이트 라인(22a)을 형성한다. 이때, 상기 주변회로 영역(b) 내의 상기 제어 게이트 도전막(22)은 식각되지 않도록 감광막에 덮혀 있을 수 있다.
- <17> 상술한 종래 기술에서, 상기 산화방지막 패턴(23a)을 형성하고, 상기 제어 게이트 도전막(22)의 일부분을 노출시키는 화학적기계적 연마공정 시, 상기 셀 영역(a) 및 상기 주변회로 영역(b)의 단차 또는 패턴 조밀도로 인한 디싱(dishing)현상이 발생할 수 있다

. 참조부호 k는 상기 디선행상에 의하여 식각될수 있는 식각면을 나타낸다. 상기 디선행상으로 인하여, 상기 셀 영역(a)내의 최외각 셀(m)의 형태가 열화될 수 있다. 또한, 상기 최외각 셀(m)로 부터 상기 주변회로 영역(b)으로 연장된 상기 제어 게이트 도전막(22b)이 노출될 수 있다. 이로 인하여, 상기 노출된 제어 게이트 도전막(22b) 상에 상기 하드마스크막(25)이 형성될 수 있다. 결과적으로, 상기 하드마스크막(25)을 마스크로 사용하여 상기 제어 게이트 라인(22a)을 형성시, 상기 최외각 셀(m)의 상기 제어 게이트 라인(22a)이 형성되지 않는 현상이 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는 화학적기계적 연마공정 진행시, 발생할 수 있는 디선행상으로 인하여 셀 영역내의 최외각 셀이 열화되는 현상을 최소화할 수 있는 비휘발성 기억 소자를 제공하는데 있다.

【발명의 구성 및 작용】

<19> 상술한 기술적 과제를 해결하기 위한 비휘발성 기억소자를 제공한다. 이 비휘발성 기억소자는 셀 영역 및 주변회로 영역을 갖는 반도체기판을 포함한다. 상기 셀 영역 내에 복수개의 활성영역들이 나란히 배치되고, 상기 활성영역들 상부를 복수개의 셀 라인 패턴들이 나란히 가로지른다. 상기 셀 라인 패턴 및 상기 활성영역 사이에 한 쌍의 터널 절연막들 및 플로팅 게이트 전극들이 개재되고, 상기 셀 라인 양 측벽에 한 쌍의 제어 게이트 라인들이 배치된다. 상기 셀 영역 및 상기 주변회로 영역 사이에 더미 영역이 개재되고, 상기 더미 영역에 상기 셀 라인 패턴들과 평행한 부분을 갖는 적어도 하나의 더미 라인 패턴이 배치된다. 이때, 상기 각 셀 라인 패턴들은 곡면 측벽 및 평면 측벽을 갖고, 상기 곡면 측벽들이 마주보도록 배치되고, 서로 이격된 한 쌍의 스페이서 라인들

및 상기 한 쌍의 스페이서 라인들 사이에 개재되고, 상기 한 쌍의 스페이서 라인들 사이의 활성영역과 접촉하는 소오스 라인으로 구성된다.

<20> 구체적으로, 상기 더미 라인 패턴은 상기 셀 영역을 둘러싸는 루프 형태인 것이 바람직하다. 상기 더미 라인 패턴은 곡면 측벽 및 평면 측벽을 갖고, 서로 이격된 한 쌍의 더미 스페이서 라인들 및 상기 한 쌍의 더미 스페이서 라인들 사이에 개재된 더미 소오스 라인으로 구성된다. 이때, 상기 한 쌍의 더미 스페이서 라인들은 그 것의 상기 곡면 측벽들이 마주보도록 배치된다.

<21> 상기 더미 라인 패턴 하부의 상기 반도체기판에 소자분리막이 배치되는 것이 바람직하며, 상기 소자분리막 및 상기 더미 스페이서 라인 사이에 더미 플로팅 게이트 전극이 개재될 수 있다. 상기 더미 스페이서 라인의 평면 측벽에 더미 제어 게이트 라인이 배치될 수 있다.

<22> 상기 더미 라인 패턴 및 상기 셀 영역내의 최외각 셀 라인 패턴은 소정의 간격으로 이격되는 것이 바람직하다. 이때, 상기 소정의 간격은 상기 셀 라인 패턴들 간의 간격과 동일한 것이 바람직하다.

<23> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개

제될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<24> 도 5는 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자를 설명하기 위한 평면도이며, 도 6은 도 5의 F부분을 나타내는 평면도이고, 도 7은 도 6의 I-I' 따라 취해진 비휘발성 기억소자를 설명하기 위한 단면도이다.

<25> 도 5, 도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 비휘발성 기억소자는 셀 영역(100) 및 주변회로 영역(300)을 갖는 반도체기판(101)을 구비한다. 상기 셀 영역(100) 및 상기 주변회로 영역(300) 사이에 더미 영역(200)이 개재된다.

<26> 상기 셀 영역(100) 내의 소정영역에 복수개의 활성영역들(103)이 나란히 배치된다. 상기 활성영역들(103)은 소자분리막(102)에 의해 한정된다. 상기 활성영역들(103) 상부를 가로지르는 복수개의 셀 라인 패턴들(120)이 나란히 배치된다. 상기 셀 라인 패턴(120)은 상기 활성영역들(103) 상부를 가로지르고, 서로 이격된 한 쌍의 스페이서 라인들(107) 및 상기 한 쌍의 스페이서 라인들(107) 사이에 개재된 소오스 라인(113)으로 구성된다. 상기 각 스페이서 라인들(107)은 평면 측벽(c) 및 곡면측벽(d)을 갖는다. 상기 한 쌍의 스페이서 라인들(107)은 그것들의 곡면 측벽들(d)이 마주보도록 배치된다. 상기 소오스 라인(113)은 상기 한 쌍의 스페이서 라인들(107) 사이의 활성영역(103)과 전기적으로 접속한다. 상기 소오스 라인이 접속하는 활성영역(103) 내에 소오스 영역(111)이 배치된다. 상기 스페이서 라인(107) 및 상기 활성영역(103) 사이에 터널절연막(104) 및 플로팅 게이트 전극(105)이 차례로 개재된다. 상기 스페이서 라인(107), 상기 터널절연막(104) 및 플로팅 게이트 전극(105)과 상기 소오스 라인(113) 사이에 라이너 스페이서

(109)가 배치되는 것이 바람직하다. 상기 라이너 스페이서(109)는 상기 소오스 라인(113) 및 상기 플로팅 게이트 전극(105)을 전기적으로 절연시킨다.

<27> 상기 소자분리막((102)은 트렌치 소자분리막으로 이루어질 수 있으며, 상기 스페이서 라인(107)은 실리콘산화막으로 이루어질 수 있다. 상기 소오스 라인(113)은 도핑된 폴리실리콘막으로 이루어지는 것이 바람직하다. 이때, 상기 도핑된 폴리실리콘막 내의 불순물은 상기 소오스 영역(111)의 불순물과 같은 타입을 이룬다. 예를 들면, 상기 소오스 영역(111)의 불순물이 n형일때, 상기 소오스 라인(113) 내의 불순물도 n형인 것이 바람직하다. 상기 라이너 스페이서(109)는 절연막, 예컨대, 실리콘산화막으로 이루어질 수 있으며, 상기 터널절연막(104)은 열산화막으로 이루어질 수 있다. 상기 플로팅 게이트 전극(105)은 도핑된 폴리실리콘막으로 이루어질 수 있다.

<28> 상기 셀 라인 패턴(120) 양 측벽에 제어 게이트 라인(125a)이 배치된다. 다

시 말해서, 상기 스페이서 라인(107)의 평면측벽(c)에 상기 제어 게이트 라인(125a)이 배치된다. 상기 제어 게이트 라인(125a)과 상기 스페이서 라인(107), 상기 터널절연막(104), 상기 플로팅 게이트 전극(105) 및 상기 스페이서 라인(107) 일측의 상기 활성영역(103) 사이에 제어 게이트 절연막(123a)이 개재된다. 상기 제어 게이트 라인(125a)은 도핑된 폴리실리콘막으로 이루어질 수 있으며, 상기 제어 게이트 절연막(123a)은 CVD 실리콘산화막으로 이루어질 수 있다. 상기 제어 게이트 라인(125a)의 일측에 게이트 스페이서(127)가 배치될 수 있다. 다시 말해서, 상기 제어 게이트 라인(125)의 일측에 게이트 스페이서가(127) 배치되고, 상기 제어 게이트 라인(125)의 타측에 상기 제어 게이트 절연막(123a) 및 상기 스페이서 라인(107)이 차례로 배치된다. 상기 게이트 스페이서(127)의 일측의 활성영역(103)에 드레인 영역(129)이 배치된다. 결과적으로, 상기 터널절연막(104), 상기 플로팅 게이트 전극(105), 상기 소오스 영역(111), 상기 드레인 영역(129), 상기 제어 게이트 절연막(123a) 및 상기 제어 게이트 라인(125a)은 비휘발성 기억소자의 단위 셀을 구성한다.

<29> 상기 더미 영역(200) 내에 적어도 하나의 더미 라인 패턴(220)이 배치된다. 상기 더미 라인 패턴(220)은 상기 셀 라인 패턴(120)과 평행한 일부분을 갖는다. 상기 주변회로 영역(300)은 상기 셀 영역(100)을 둘러 싸는 형태일 수 있다. 이때에는, 상기 더미 영역(200)은 상기 셀 영역(100)을 둘러 싸는 것이 바람직하며, 상기 더미 라인 패턴은 상기 셀 영역(100)을 둘러싸는 루프 형태(loop shaped)인 것이 바람직하다.

<30> 상기 더미 라인 패턴(220) 및 상기 더미 라인 패턴(220)과 인접한 상기 셀 라인 패턴(120)은 소정의 간격(W1)으로 이격되어 있다. 상기 더미 라인 패턴(220)과 인접한 상기 셀 라인 패턴(120)은 상기 셀 영역 내의 최외각 셀 라인 패턴(120)이다.

- <31> 상기 더미 라인 패턴(220) 및 상기 최외각 셀 라인 패턴(120) 간의 간격(W1)은 화학적기계적 연마공정으로 인한 디싱현상이 발생되지 않는 간격인 것이 바람직하다. 예를 들면, 상기 더미 라인 패턴(220) 및 상기 최외각 셀 라인 패턴(120) 사이의 간격(W1)은 상기 셀 라인 패턴들(120) 간의 간격(W2)과 동일한 것이 바람직하다. 이로 인하여, 상기 디싱현상에 의하여 최외각 셀이 열화되는 현상을 최소화할 수 있다.
- <32> 상기 더미 라인 패턴(220)은 상기 셀 라인 패턴(220)과 같은 높이를 갖는 라인 형태의 패턴으로 이루어진다. 상기 더미 라인 패턴(220)은 평면 측벽(e) 및 곡면 측벽(f)을 갖고, 서로 이격된 한 쌍의 더미 스페이서 라인들(207) 및 상기 한 쌍의 더미 스페이서 라인들(207) 사이에 개재된 더미 소오스 라인(213)으로 구성되는 것이 바람직하다. 상기 한 쌍의 더미 스페이서 라인들(207)은 그것들의 곡면 측벽(f)들이 서로 마주보도록 배치되는 것이 바람직하다. 상기 더미 소오스 라인(213)은 상기 한 쌍의 더미 스페이서 라인들(207) 사이의 반도체기판(101)과 접촉하되, 전기적으로 접속하지 않는다. 상기 더미 스페이서 라인(207) 및 상기 더미 소오스 라인(213)은 각각 상기 스페이서 라인(107) 및 상기 소오스 라인(113)과 같은 물질막으로 이루어질 수 있다. 즉, 상기 더미 스페이서 라인들(207)은 실리콘산화막으로 이루어질 수 있으며, 상기 더미 소오스라인(213)은 도핑된 폴리실리콘막으로 이루어질 수 있다.
- <33> 상기 더미 라인 패턴(220) 하부의 상기 반도체기판(101)에 상기 소자분리막(102)이 배치되는 것이 바람직하다. 이에 더하여, 상기 소자분리막(102)은 상기 더미 영역(200) 전역에 배치 될 수 있다. 상기 더미 스페이서 라인(207) 및 상기 소자분리막(102) 사이에 더미 터널 절연막(204) 및 더미 플로팅 게이트 전극(205)이 배치될 수 있으며, 상기 더미 터널 절연막(204)은 생략될 수 있다. 상기 더미 플로팅 게이트 전극(205)은 상기

더미 스페이서 라인(207)과 같은 라인 형태일 수 있으며, 이와는 달리, 상기 셀 영역(100)의 상기 플로팅 게이트 전극(105)과 같은 형태일 수 있다. 상기 더미 소오스 라인(213)과 상기 더미 스페이서 라인(207) 및 상기 더미 플로팅 게이트 전극(105) 사이에 더미 라이너 스페이서(209)가 개재될 수 있다.

<34> 상기 더미 플로팅 게이트 전극(205)은 폴리실리콘막으로 이루어질 수 있으며, 상기 더미 터널절연막(204)은 실리콘산화막으로 이루어질 수 있다. 상기 더미 라이너 스페이서(209)는 상기 더미 스페이서 라인(207)과 같은 물질막으로 이루어질 수 있다. 예를 들면, 실리콘산화막으로 이루어질 수 있다.

<35> 상기 더미 라인 패턴(220) 양측에 더미 제어 게이트 라인(225a)이 배치될 수 있다. 즉, 상기 더미 스페이서 라인(207)의 평면측벽(e)에 상기 더미 제어 게이트 라인(225a)이 배치될 수 있다. 상기 제어 게이트 라인(225a)과 상기 더미 라인 패턴(220) 및 상기 더미 라인 패턴(220) 양측의 반도체기판(101) 사이에 더미 제어 게이트 절연막(223a)이 개재될 수 있으며, 상기 제어 게이트 라인(225a)의 일측에 더미 게이트 스페이서(227)가 배치될 수 있다. 상기 더미 제어 게이트 라인(225a)은 도핑된 폴리실리콘막으로 이루어질 수 있으며, 상기 더미 제어 게이트 절연막(223a)은 CVD 실리콘산화막으로 이루어질 수 있다. 결과적으로, 상기 더미 영역(200)내의 더미 패턴은 비활성된 상기 셀 영역(100) 내의 셀 형태로 이루어질 수 있다.

<36> 상술한 실시예에 따른 비휘발성 기억소자로 인하여, 종래의 화학적기계적 연마공정으로 야기되는 최외각 셀들이 열화되는 현상을 최소화할 수 있다. 상술한 실시예에 따른 비휘발성 기억소자에 화학적기계적 연마공정을 진행하는 과정을 도 8과 더불어 설명한다.

<37> 도 8은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자에 적용된 화학적기계적 연마공정을 설명하기 위한 공정단면도이다.

<38> 도 5 및 도 8을 참조하면, 복수개의 셀 라인 패턴들(120)을 배치된 셀 영역(100), 주변회로 영역(300) 및 상기 셀 영역(100) 및 상기 주변회로 영역(300) 사이에 개재되고, 적어도 하나의 더미 라인 패턴(220)이 배치된 더미 영역(200)을 갖는 반도체기판(101) 전면에 제어 게이트 절연막(123), 제어 게이트 도전막(125) 및 산화방지막(126)을 차례로 형성한다. 이때, 상기 더미 라인 패턴(220) 및 상기 더미 라인 패턴(220)과 인접한 상기 셀 라인 패턴(120) 사이의 간격(W1)은 상기 셀 라인 패턴들(120) 간의 간격(W2)과 동일하다. 상기 산화방지막(125)은 열산화막이 형성을 방지하는 물질막, 예컨대, 실리콘 질화막으로 형성하는 것이 바람직하다.

<39> 상기 산화방지막(126) 및 상기 제어 게이트 도전막(125)을 상기 셀 라인 패턴(120)상의 상기 제어 게이트 절연막(123)이 노출될때까지 화학적기계적 연마공정으로 평탄화한다. 상기 평탄화 공정시, 상기 셀 영역(100) 및 상기 주변회로 영역(300)의 단차 또는 패턴 조밀도에 의한 디싱현상이 발생할 수 있다. 참조부호G는 상기 디싱현상으로 인한 평탄화 단면을 나타낸다. 상기 디싱 현상에 의한 평탄화 단면(G)은 상기 더미 라인 패턴(220)에 형성된다. 다시 말해서, 상기 셀 영역(100) 및 상기 주변회로 영역(300) 간의 단차 또는 패턴 조밀도에 의한 디싱현상이 발생할지라도, 상기 셀 영역(100) 내의 최외각 셀 라인 패턴(120)을 대신하여 상기 더미 라인 패턴(220)이 열화된다. 이로 인하여, 상기 셀 영역(100)의 최외각에 배치된 상기 셀 라인 패턴(120)으로 구성되는 셀들이 열화되는 것을 최소화할 수 있다.

【발명의 효과】

<40> 상술한 본 발명에 따른 비휘발성 기억소자는 셀 영역 및 주변회로 영역 사이에 더미 영역이 개재되고, 상기 더미 영역에 적어도 하나의 더미 라인 패턴이 배치된다. 이로 인하여, 화학적기계적 연마공정의 디싱현상으로 인하여 상기 셀 영역내의 최외각 셀들이 열화되는 것을 최소화할 수 있다.

【특허청구범위】**【청구항 1】**

셀 영역 및 주변회로 영역을 갖는 반도체기판;

상기 셀 영역 내에 나란히 배치된 복수개의 활성영역들;

상기 활성영역들 상부를 나란히 가로지르는 복수개의 셀 라인 패턴들;

상기 셀 라인 패턴 및 상기 활성영역 사이에 개재된 한 쌍의 터널절연막들 및 플로팅 게이트 전극들;

상기 셀 라인 양 측벽에 배치된 한 쌍의 제어 게이트 라인들;

상기 셀 영역 및 상기 주변회로 영역 사이에 개재된 더미 영역; 및

상기 더미 영역 내에 배치되되, 상기 셀 라인 패턴들과 평행한 일부분을 갖는 적어도 하나의 더미 라인 패턴을 포함하되, 상기 각 셀 라인 패턴들은 곡면 측벽 및 평면 측벽을 갖고, 상기 곡면 측벽들이 마주보도록 배치되고, 서로 이격된 한 쌍의 스페이서 라인들 및 상기 한 쌍의 스페이서 라인들 사이에 개재되고, 상기 한 쌍의 스페이서 라인들 사이의 활성영역과 전기적으로 접속하는 소오스 라인으로 구성되는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 2】

제 1 항에 있어서,

상기 스페이서 라인 및 상기 플로팅 게이트 전극과 상기 소오스 라인 사이에 개재된 라이너 스페이서를 더 포함하되, 상기 라이너 스페이서는 상기 소오스 라인 및 상기 플로팅 게이트 전극을 절연시키는 것을 특징으로 비휘발성 기억소자.

【청구항 3】

제 1 항에 있어서,

상기 터널절연막 및 상기 플로팅 게이트 전극은 상기 스페이서 라인 및 상기 활성 영역 사이에 개재되고, 상기 제어 게이트 라인은 상기 스페이서 라인의 평면 측벽에 배치되는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 4】

제 1 항에 있어서,

상기 스페이서 라인, 상기 플로팅 게이트 전극 및 상기 활성영역과 상기 제어 게이트 라인 사이에 개재된 제어 게이트 절연막을 더 포함하는 것을 특징으로 비휘발성 기억소자.

【청구항 5】

제 1 항에 있어서,

상기 더미 영역은 상기 셀 영역을 둘러싸는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 6】

제 5 항에 있어서,

상기 더미 라인 패턴은 상기 셀 영역을 둘러싸는 루프 형태인 것을 특징으로 하는 비휘발성 기억소자.

【청구항 7】

제 1 항에 있어서,

상기 더미 라인 패턴은,

상기 더미 영역 내에 배치되되, 곡면 측벽 및 평면 측벽을 갖고, 서로 이격된 한 쌍의 더미 스페이서 라인들; 및

상기 한 쌍의 더미 스페이서 라인들 사이에 개재된 더미 소오스 라인을 포함하되, 상기 한 쌍의 더미 스페이서 라인들은 그 것들의 상기 곡면 측벽들이 마주보도록 배치되는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 8】

제 7 항에 있어서,

상기 더미 스페이서 라인은 실리콘산화막으로 이루어지는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 9】

제 7 항에 있어서,

상기 더미 소오스 라인은 도핑된 폴리실리콘막으로 이루어지는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 10】

제 7 항에 있어서,

상기 더미 라인 패턴 하부의 상기 반도체기판에 배치된 소자분리막을 더 포함하는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 11】

제 7 항에 있어서,

상기 소자분리막 및 상기 더미 스페이서 라인 사이에 개재된 더미 플로팅 게이트 전극을 더 포함하는 것을 특징으로 하는 비휘발성 기억소자.

【청구항 12】

제 7 항에 있어서,

상기 더미 스페이서 라인의 평면 측벽에 배치된 더미 제어 게이트 라인; 및

상기 더미 스페이서 라인 및 상기 반도체기판과 상기 더미 제어 게이트 라인 사이에 개재된 더미 제어 게이트 절연막을 더 포함하는 것을 특징으로 하는 비휘발성 기억소자.

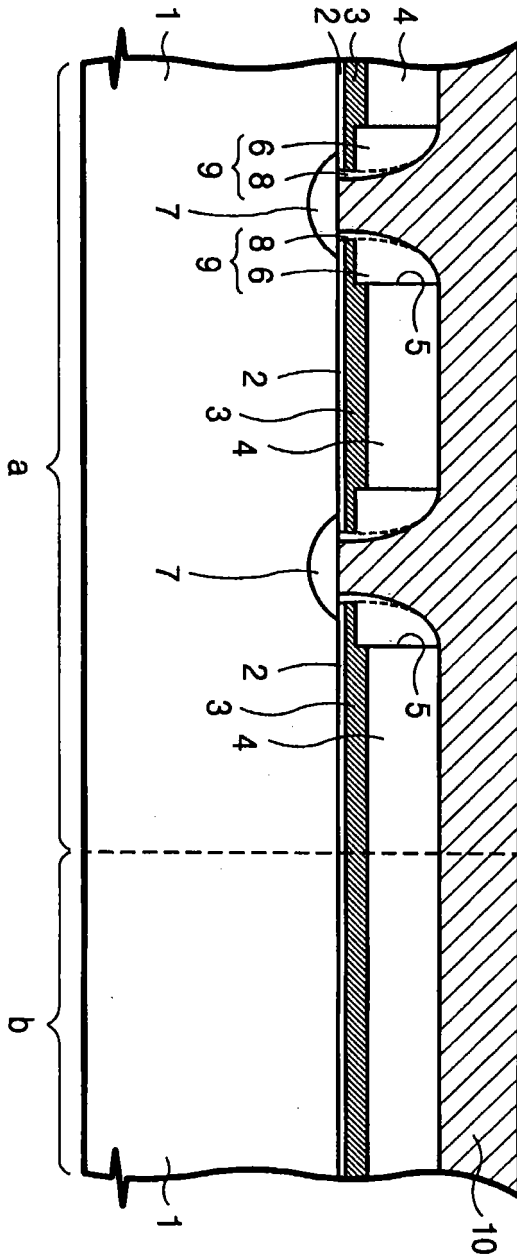
【청구항 13】

제 1 항에 있어서,

상기 더미 라인 패턴 및 상기 셀 영역 내의 최외각 셀 라인 패턴은 소정의 간격으로 이격되되, 상기 소정의 간격은 상기 셀 라인 패턴들 간의 간격과 동일한 것을 특징으로 하는 비휘발성 기억소자.

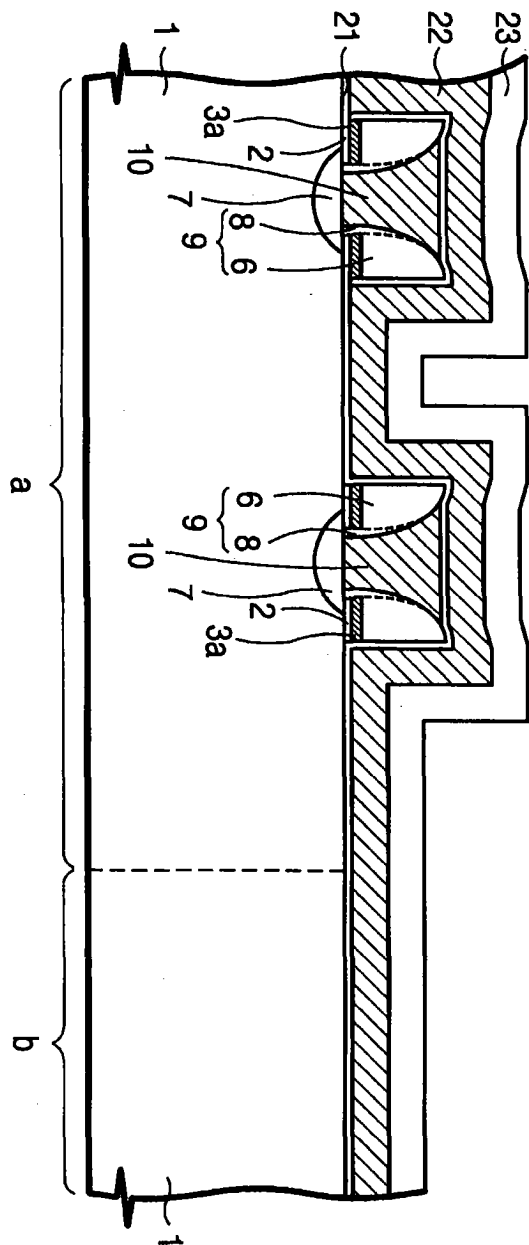
【도면】

【도 1】



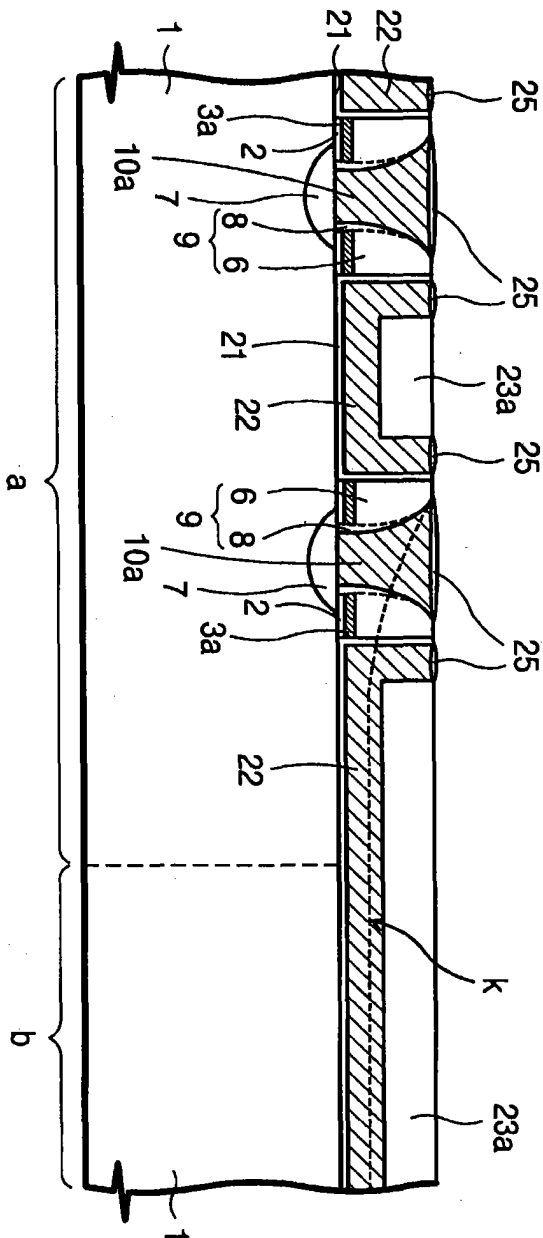
(종래 기술)

【도 2】



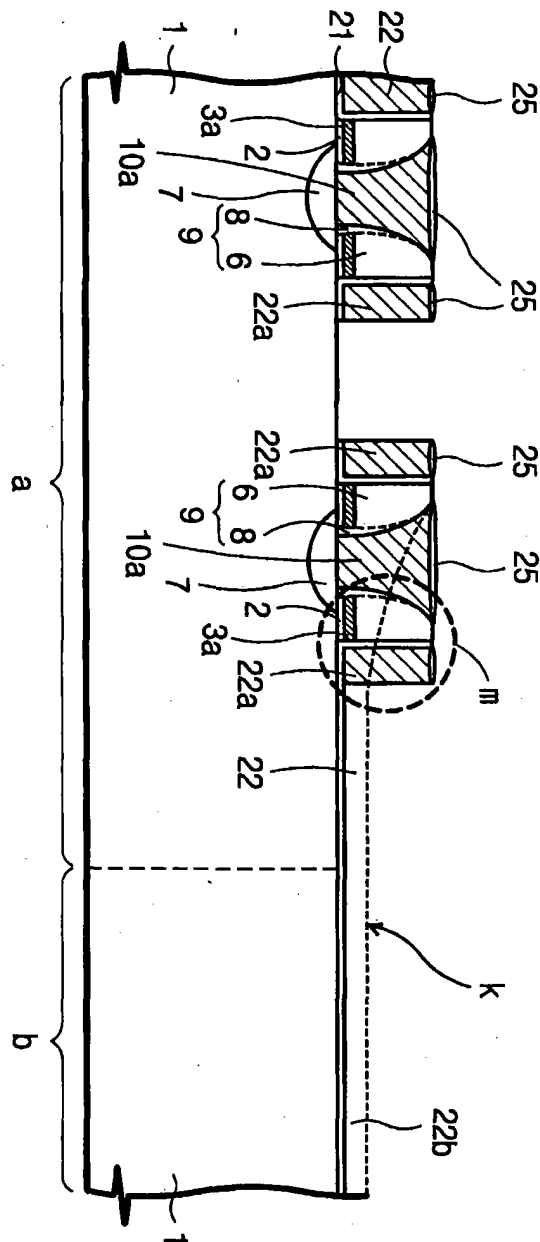
(종래 기술)

【도 3】



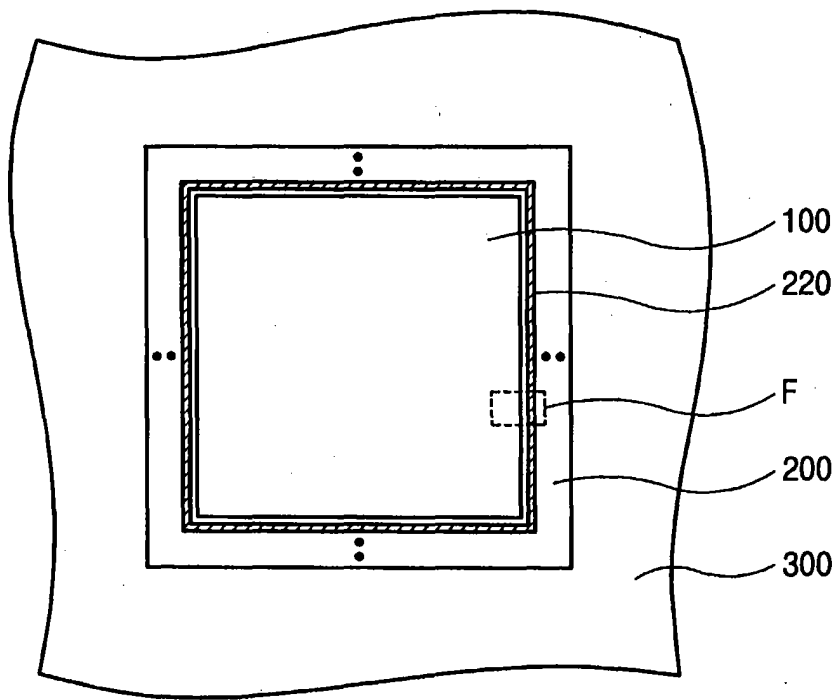
(종래 기술)

【도 4】

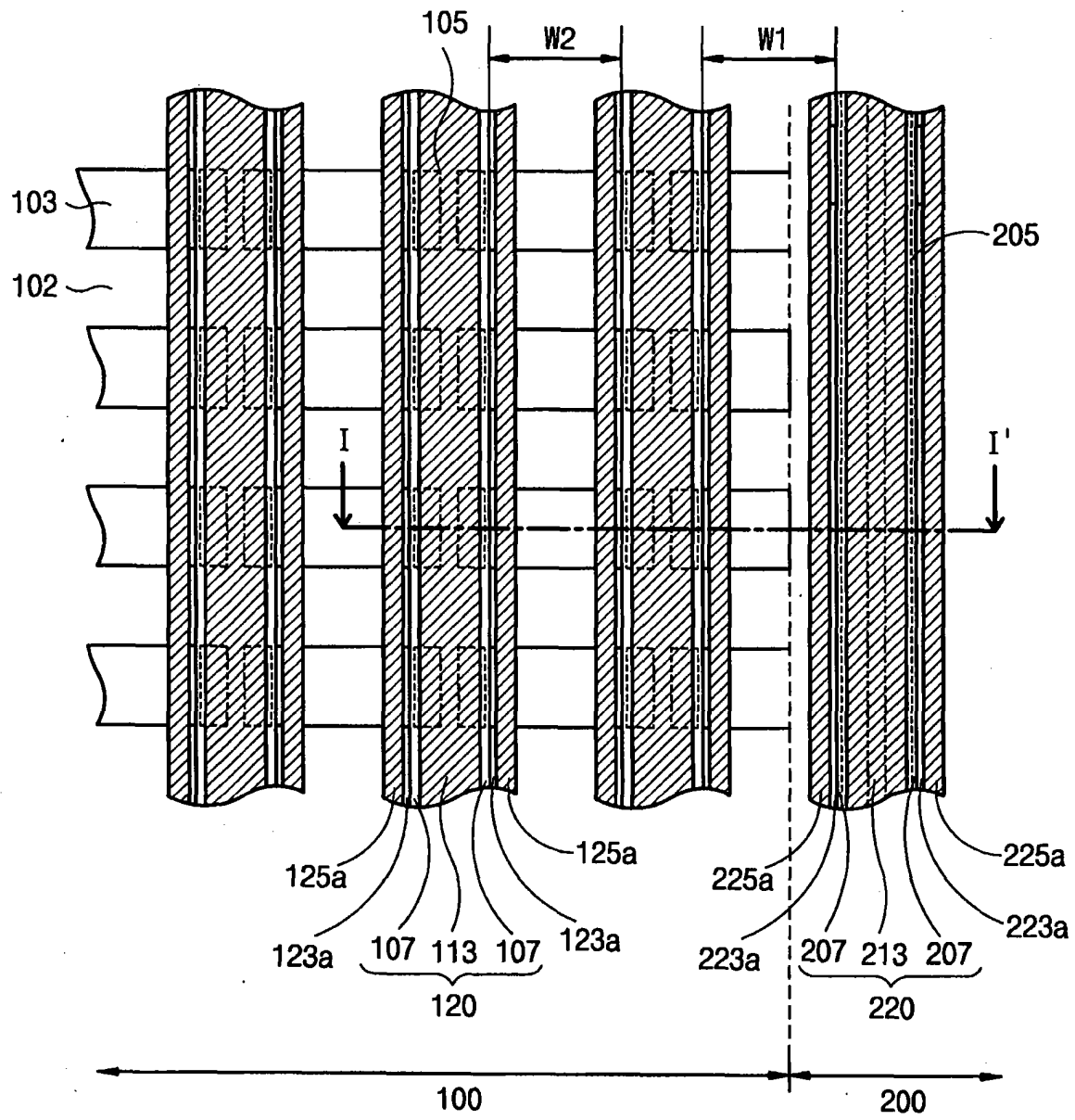


(종래 기술)

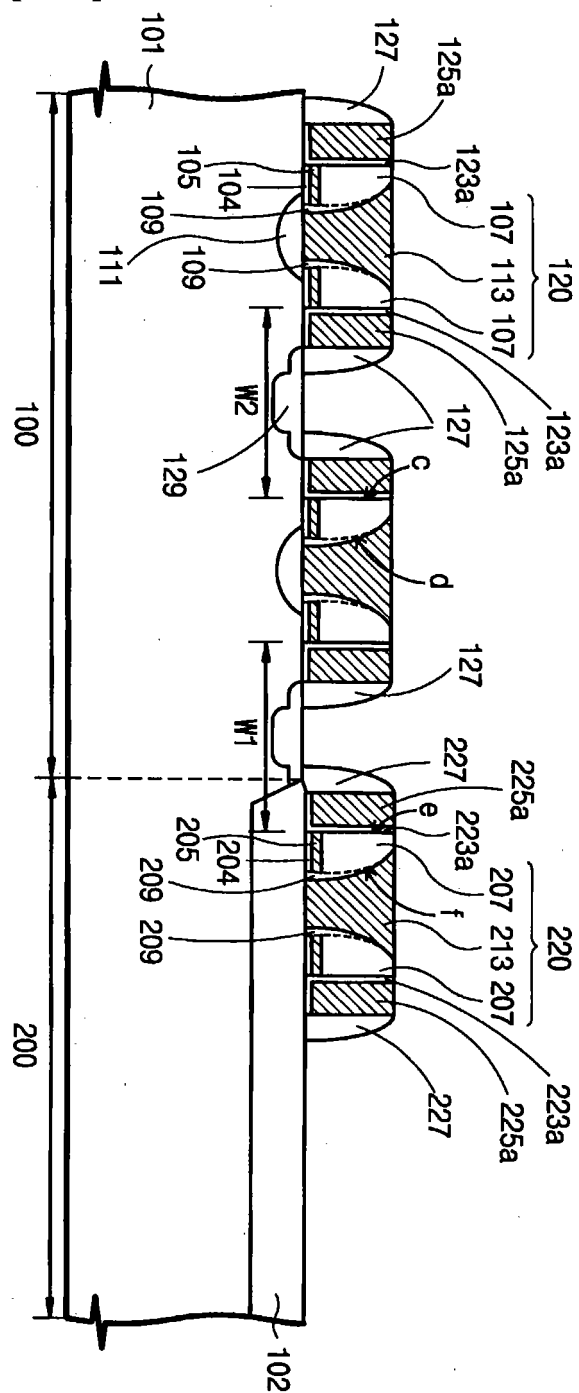
【도 5】



【도 6】



【도 7】



This cross-sectional view shows a semiconductor device with two gate regions, 120 and 220, separated by a central channel region. The device is built on a substrate 101. The gate regions 120 and 220 are formed by a stack of layers including a gate dielectric 123, a gate conductive layer 125, and a gate insulating layer 126. The gate conductive layer 125 is patterned to form gates 107 and 113 in region 120, and gates 207 and 213 in region 220. The gates are separated by spacers 109 and 209. The channel region is defined by the gates and has a width W1. The device is covered by a protective layer 111. The overall length of the device is 100, and the width of the channel region is 200.